



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07168159 A**(43) Date of publication of application: **04 . 07 . 95**

(51) Int. Cl.

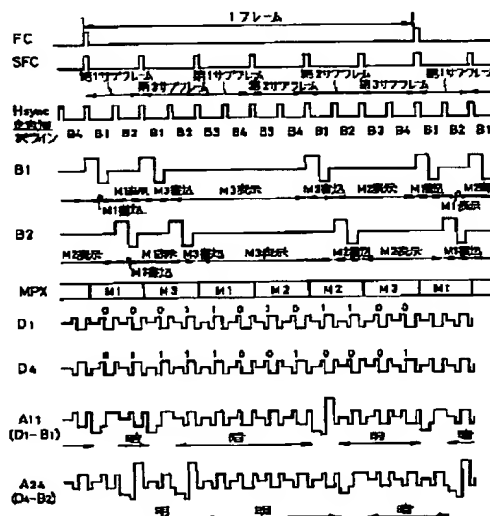
G02F 1/133**G02F 1/133****G09G 3/20****G09G 3/36**(21) Application number: **05342064**(22) Date of filing: **14 . 12 . 93**(71) Applicant: **CANON INC**(72) Inventor: **KATAKURA KAZUNORI
INABA YUTAKA**(54) **DISPLAY DEVICE**

(57) Abstract:

PURPOSE: To provide a time modulation type display device capable of showing the brightest state almost corresponding to the state of a binary display and also capable of performing a gradation display in a short time.

CONSTITUTION: As for the display device provided with matrix screens A_{11} to A_{44} , a period for scanning one screen is divided into six, and 1st, 3rd, 1st, 2nd, 2nd and 3rd subframes as scanning units are allocated in order, and a first scanning address is selected in the 1st and 3rd subframes, meanwhile, a 3rd scanning address is selected in the 2nd subframe. then, the display period of each subframe is unequally divided so as to satisfy the following expression; 1st:2nd:3rd=1:3:5, then, the time modulation with eight-gradation can be obtained in the display device under the combination of such the unequal display periods.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-168159

(43) 公開日 平成7年(1995)7月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 7 5			
	5 6 0			
G 0 9 G 3/20		U 9378-5G		
3/36				

審査請求 未請求 請求項の数 1 F D (全 20 頁)

(21) 出願番号 特願平5-342064

(22) 出願日 平成5年(1993)12月14日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 片倉 一典

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 稲葉 豊

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

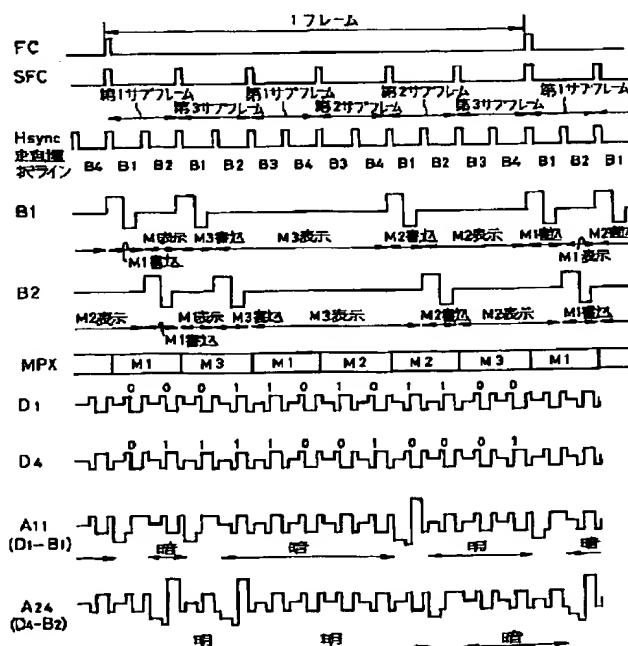
(74) 代理人 弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 二値表示並みの最明状態を示し、且つ短時間で階調表示できる時間変調型の表示装置を提供する。

【構成】 $A_{11} \sim A_{24}$ のマトリクス画面を有する表示装置において、1画面走査期間を6分割し、順に走査単位である第1、第3、第1、第2、第2、第3サブフレームを割り当て、第1及び第3サブフレームでは走査アドレスの1番目から、第2サブフレームでは走査アドレスの3番目から選択することにより、各サブフレームの表示期間を第1:第2:第3 = 1:3:5 と不均等に分割し、これら不均等な表示期間の組み合わせにより8階調の時間変調を可能にした表示装置。



【特許請求の範囲】

【請求項1】 走査電極群と情報電極群とからなるマトリクス電極を有し、複数回の走査により1画面の階調表示を行なう時間変調型マトリクス表示装置であり、1画面走査期間内において、全ての情報電極に対して情報信号波形の印加間隔を実質的に均等に設定し、各走査単位の表示期間が走査単位毎に異なり、走査単位及び走査電極をそれぞれ不連続に選択することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、時間変調により階調表示を行なう表示装置に関する発明である。

【0002】

【従来の技術】 従来、階調表示機能を持たない表示装置において、疑似的に階調表示を行なう方法として、2状態、例えば白表示と黒表示の出現時間比率を変化させる方法がある。これは一般に時間変調、フレーム（画面）変調またはフレーム間引きと呼ばれる方式で、例えば特開昭61-69036号公報等に開示されている。しかしながらこの方式では階調数だけ余分に時間がかかり、1画素で8階調を表示するためには、従来の二値表示の7フレーム分の時間を必要とした。

【0003】 これに対し、特開昭62-56936号公報に開示されている、サブフレーム（変調時間単位）毎にリセットパルスを入れるタイミングを異ならせることにより、従来の二値表示の3フレーム分の時間で8階調を表示する方式が提案されている。

【0004】

【発明が解決しようとする課題】 しかしながら、上記3フレーム分の時間で8階調表示する方式は、図26

(b)に示すように、リセット期間が長いため、最明表示時の平均輝度を、二値表示時より40%近くも低下させてしまうという問題があった。

【0005】 本発明の目的は、上記問題点を鑑み、短時間で且つ最明表示時の平均輝度を二値表示時並みに保つ時間変調方式により階調表示を行なうマトリクス表示装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明は、走査電極群と情報電極群とからなるマトリクス電極を有し、複数回の走査により1画面の階調表示を行なう時間変調型マトリクス表示装置であり、1画面走査期間内において、全ての情報電極に対して情報信号波形の印加間隔を実質的に均等に設定し、各走査単位の表示期間が走査単位毎に異なり、走査単位及び走査電極をそれぞれ不連続に選択することを特徴とするものである。

【0007】 本発明は、前記時間変調により階調表示を行なう装置であり、複数の走査により1画面表示を行なう。本発明において、上記1画面走査期間とは、最終的

な1画面を表示するために必要な走査の合計期間であり、該所定の1表示画面を1フレーム、また、階調表示するために複数回行なわれる走査の1回分の走査単位で表示される画面をサブフレームと呼ぶ。即ち、サブフレームを所定回数走査することにより1フレームが表示される。

【0008】

【作用】 本発明の駆動方式の具体例を図20～26を用いて説明する。

10 【0009】 図20は駆動制御回路図である。同図において、DSPはディスプレイユニットで、 A_{11} 、 A_{12} … A_{16} は各々の画素を示す。M1、M2、M3はフレームメモリで各々 $4 \times 4 = 16$ ビットのメモリ容量を有する。メモリM1、M2、M3にはデータバスDBからデータが送られ、コントロールバスCBにより書込み、読み出しのアドレス制御される。

20 【0010】 FCはフレーム開始信号、SFCはサブフレーム切換信号、DCはそのデコーダ、MPXはメモリM1、M2、M3の出力のうちの1つを選択するマルチプレクサ、 H_{sync} は走査クロック信号、CNTはカウンタ、SRは直列入力並列出力シフトレジスタ、DR1～DR4は情報駆動回路、DR5～DR8は走査駆動回路であり、D1～D4、B1～B4に波形を印加する。

【0011】 図21は1フレームにおける各画素の階調データであり、各階調データの上位ビットはメモリM3に、中位ビットはメモリM2に、下位ビットはメモリM1にそれぞれデータバスを介して入力される。

【0012】 図22(a)～(c)はM1～M3の概念図、図23、24は図20の回路の駆動タイミングチャートを示している。

30 【0013】 メモリM1の内容を表示する画面を第1サブフレーム、メモリM2の内容は第2サブフレーム、メモリM3の内容は第3サブフレームと呼び、1フレーム走査期間を6分割して順に第1、第3、第1、第2、第2、第3サブフレームの走査期間に割り当てる。第1、第3サブフレームにおいては走査選択をDR5、DR6、DR7、DR8の順に、第2サブフレームにおいてはDR7、DR8、DR5、DR6の順に行なう。すると、上記6分割されたうちの1つの期間では走査ラインは2本しか選択できないため、各走査電極は2分割されたサブフレームの前半或いは後半のいずれかで選択されることになる。選択された走査ラインでは先ず1フレーム走査期間の1/12の期間で書込みが行なわれ、その後同じ走査ラインを異なるサブフレームで走査するまで表示が行なわれる。従って、各サブフレームの表示する期間は、 $A_{11} \sim A_{16}$ 全てについて、第1：第2：第3＝1：3：5となる。よって、サブフレームの組み合わせにより、0/9、1/9、3/9、4/9、5/9、6/9、8/9、9/9の8種類の期間が選択でき、その結果、時間変調により8階調表示することができる。

【0014】図21及び図22に示す階調データを持つ場合の各画素の表示階調の様子を図24に示す。図24に示された数値は1フレーム走査期間の表示期間中に明表示をする期間を示している。従って、最暗表示は0、最明表示は1である。図25はこの表示に用いた波形であり、走査選択信号波形は画素を暗状態にするリセットパルスと、明状態又は暗状態を選択する選択パルスで構成される。以下に図20の回路の動作を説明する。

【0015】フレーム開始信号FCが発生すると、メモリM1～M3のデータはコントロールバスCB及びデータバスDBにより書き換えられる。そしてサブフレーム切

換信号SFCが発生し、デコーダDCがマルチプレクサMPXをメモリM1からのデータを選択するようセットする。

【0016】走査クロック H_{sync} に同期してカウンタCNTはドライバDR5からB1に走査選択信号波形を印加する。この時、シフトレジスタSRにはメモリM1の第1行のデータが入力されており、ドライバDR1、DR2、DR4では暗信号波形、DR3では明信号波形が印加される。従って画素A₁₃のみが明状態、A₁₁、A₁₂、A₁₄は暗状態となる。次の走査クロック H_{sync} に同期してカウンタCNTはドライバDR6に走査選択信号波形を印加する。この時シフトレジスタSRにはメモリM1の第2行のデータを入力する。

【0017】次に、サブフレーム切換信号SFCが発生*

サブフレーム内走査選択順序

	第1サブフレーム	第2サブフレーム	第3サブフレーム
1	B1	B3	B1
2	B2	B4	B2
3	B3	B1	B3
4	B4	B2	B4

【0020】1フレームが終わると、再びフレーム開始信号FCが発生し、メモリM1～M3のデータを次のフレームのデータに書き換える。

【0021】尚、サブフレーム切換信号SFCを用いず、走査クロック H_{sync} に同期してサブフレーム、走査アドレスを共に切り換える構成にしても良い。その際には表3に示す内容を予めメモリ領域に設定しておく。

【0022】

【表3】

*すると、デコーダDCはマルチプレクサMPXをメモリM3からのデータを選択するようセットする。その後上述のように行走査信号Fと同期して走査選択信号波形と情報信号波形を出力してゆく、サブフレームの選択順序及びサブフレーム内の走査選択順序は別途メモリ領域を用意し（不図示）、予め内容を設定しておく。ここでは表1及び表2に示す内容とした。

【0018】

【表1】

サブフレーム選択順序

	サブフレーム (フレームメモリ)
1	1 (M1)
2	3 (M3)
3	1 (M1)
4	2 (M2)
5	2 (M2)
6	3 (M3)

【0019】

【表2】

サブフレーム、走査アドレス選択順序

	サブフレーム (フレームメモリ)		走査アドレス
1	1	(M1)	B1
2	1	(M1)	B2
3	3	(M3)	B1
4	3	(M3)	B2
5	1	(M1)	B3
6	1	(M1)	B4
7	2	(M2)	B3
8	2	(M2)	B4
9	2	(M2)	B1
10	2	(M2)	B2
11	3	(M3)	B3
12	3	(M3)	B4

【0023】以上説明した通り、本発明の表示装置における階調駆動方式は、従来の時間変調方式による階調駆動方式より短時間且つ高輝度で同等の階調数表示能力を持つものである。従来例との比較を表 4、表 5 及び図 26 に示す (二値表示時を基準とする)。

【0024】

【表 4】

従来例との比較 (8 階調表示)

	時 間	最 明 輝 度
本発明	3 フレーム	100 %
従来例 1	7 フレーム	100 %
従来例 2	3 フレーム	58 %

【0025】

【表 5】

従来例との比較 (2ⁿ 階調表示)

	時 間	最 明 輝 度
本発明	n フレーム	100 %
従来例 1	2 ⁿ - 1 フレーム	100 %
従来例 2	n フレーム	$\frac{2}{n}(1 - \frac{1}{2^n})\%$

【0026】

【実施例】

(実施例 1) 図 1 に本発明の一実施例の表示装置を示す。この表示装置は、図 2 に示す走査電極 201 と情報電極 202 とで構成したマトリクス電極を有する表示部 101、情報信号を情報電極 202 を介して液晶に印加する情報信号印加回路 103、走査信号を走査電極 201 を介して液晶に印加する走査信号印加回路 102、走査信号制御回路 104、情報信号制御回路 106、駆動

制御回路 105、表示部 101 の温度を検知するためのサーミスタ 108、及びサーミスタ 108 の出力に基づいて表示部 101 の温度を検知する温度検知回路 109 を備える。走査電極 201 と情報電極 202 との間には、液晶等光学変調物質が配置されている。107 はグラフィックコントローラであり、ここから送り出されるデータは駆動制御回路 105 を通して走査信号制御回路 104 と情報信号制御回路 106 に入力され、それぞれアドレスデータと表示データに変換されるようになって

いる。また、液晶表示部の温度がサーミスタ108を介して温度検知回路109に入力され、温度データとして駆動制御回路105を通して走査信号制御回路104に入力される。そして、アドレスデータと温度データに従って走査信号印加回路102が走査信号を発生し、液晶表示部101の走査電極201に印加するようになっていく。また、表示データに従って情報信号印加回路103が情報信号を発生し、表示部101の情報電極202に印加するようになっている。

【0027】図2において、222は走査電極201と情報電極202との交差部分により構成され表示単位となる画素である。各走査電極201と情報電極202、200本と640本でこのような640×400個の画素のマトリクス（マトリクス電極）を構成している。

【0028】図3は表示部101の部分断面図である。同図において、301はアナライザ、305はポラライザであり、これらはそれぞれクロスニコルに配置されている。302と304はガラス基板、303は光学変調物質、306はスペーサである。

【0029】本発明において用いられる上記光学変調物質としては、加えられる電界に応じて第1の光学的安定状態（例えば明状態を形成するものとする）と第2の光学的安定状態（例えば暗状態を形成するものとする）とのいずれかを取る、即ち電界に対する双安定状態を有する物質、特に液晶が用いられる。

【0030】本発明に係る駆動法で用いることができる、双安定性を有する液晶としては、強誘電性を有するカイラルスメクティック液晶が最も好ましく、そのうちカイラルスメクティックC相（SmC*）、H相（SmH*）、I相（SmI*）、F相（SmF*）、G相（SmG*）、の液晶が適している。この強誘電性液晶については、“LE JOURNAL DE PHYSIQUE LETTERS” 36（L-69）1975, “Ferroelectric Liquid Crystals”; “Applied Physics Letters” 36（11）1980, “Submicro Second Bistable Electrooptic Switching in Liquid Crystals”; “固体物理” 16（141）1981「液晶」の記載されており、本発明ではこれらに開示された強誘電性液晶を用いることができる。

【0031】より具体的には、例えばデシロキシベンジリデン-p'-アミノ-2-メチルブチルシナメート（DOBAMBC）、ヘキシロキシベンジリデン-p'-アミノ-2-クロロプロピルシナメート（HOBACPC）及び4-ο-(2-メチル)-ブチルレゾルシリデン-4'-オクチルアニリン（MBRAS）等が挙げられる。これらの材料を用いて、素子を構成する場合、液晶化合物がSmC*、SmH*、SmI*、SmF*、SmG*となるような温度状態に保持するた

め、必要に応じて素子をヒーターが埋め込まれた銅ブロック等により指示することが好ましい。

【0032】図4は強誘電性液晶セルを模式的に描いた例である。図中、11と11'はIn₂O₃、SnO₂やITO（Indium-Tin Oxide）等の透明電極がコートされた基板（ガラス板）であり、その間に液晶分子層12がガラス面に垂直になるよう配向したSmC*相の液晶が封入されている。太線で示した線13が液晶分子を表わしており、この液晶分子13は、その分子に直交した方向に双極子モーメント14を有している。基板11と11'上の電極間に一定の閾値以上の電圧を印加すると、液晶分子13のらせん構造がほどけ、双極子モーメント14は全て電界方向を向くよう、液晶分子13の配向方向を変えることができる。液晶分子13は細長い形状を有しており、その長軸方向と短軸方向で屈折率異方性を示し、従って例えばガラス面の上下に互いにクロスニコルの位置関係に配置した偏光子を置けば、電圧印加極性によって光学特性が変わる液晶光学変調素子となることは、容易に理解される。

【0033】さらに液晶セルの厚さを十分に薄くした場合（例えば1μm）には、図5に示すように電界を印加していない状態でも液晶分子のらせん構造はほどけ（非らせん構造）その双極子モーメントP又はP'は上向き24又は下向き24'のどちらかの配向状態をとる。このようなセルに図5に示す如く一定の閾値以上の極性の異なる電界E又はE'を付与すると、双極子モーメントは電界E又はE'の電界ベクトルに対応して上向き24又は下向き24'と向きを変え、それに応じて液晶分子は第1の安定状態23（明状態）、或いは第2の安定状態23'（暗状態）の何れか一方に配向する。

【0034】このような強誘電性液晶を光学変調素子として用いることの利点は2つある。第1に応答速度が極めて速いこと、第2に液晶分子の配向が双安定性を有することである。第2の点を例えば図5によって説明すると、電界Eを印加すると液晶分子は第1の安定状態23に配向するが、電界を切ってもこの第1の安定状態23が維持され、また、逆向きの電界E'を印加すると、液晶分子は第2の安定状態23'に配向してその分子の向きを変えるが、やはり電界を切ってもその状態を保ち、それぞれの安定状態でメモリ機能を有している。また、与える電界Eが一定の閾値を超えない限りそれぞれの配向状態にやはり維持されている。このような応答速度の速さと、双安定性が有効に実現されるには、セルとしてはできるだけ薄い方が好ましく、一般的には0.5μm～20μm、特に1μm～5μmが適している。この種の強誘電性液晶を用いたマトリクス電極構造を有する液晶-電気光学装置は、例えばクラークとラガバルにより、米国特許第4367924号明細書で提案されている。

【0035】図6は3つのサブフレームを用い、8階調

表示する際のタイミングチャートである。同図において、FCはフレーム開始信号、H_{sync}は走査クロック信号、MPXはフレームメモリM1、M2、M3（不図示）のうち1つのメモリを選択するマルチプレクサ（不図示）の選択ライン、B1～B200は走査電極又は走査アドレス、カウントはフレーム内での表示部走査の回数を表わす。

【0036】 先ずフレーム開始信号FCが発生し、メモリM1～M3のデータが書き換えられる。そして走査クロック信号H_{sync}に同期してマルチプレクサの選択内容MPXと走査アドレスが表6の順序で変わってゆく。表7は走査順序の説明のため表6の内容を書き換えたものである。MPXの内容をH_{sync}毎にM1、M2、M3、M1、M2、M3…と周期的に変え、各サブフレーム内ではノーインターレースで走査する。そして第1サブフレームの表示期間と第2サブフレームの表示期間、第3*

* サブフレームの表示期間の比がほぼ1:2:4になるように各サブフレームの走査開始アドレスをそれぞれB1、B173、B116とする。例えば走査アドレスB1に着目すると、第1サブフレームの表示期間はカウントが2～85までの84×H_{sync}の周期、第2サブフレームの表示期間はカウントが87～257までの171×H_{sync}の周期、第3サブフレームの表示期間はカウントが259～600までの342×H_{sync}であり、その比は84:171:342≒1:2:4.1になる。

【0037】 図7は走査アドレスと表示タイミングの関係を簡単に示した図である。同図からわかるように、1フレーム走査期間内で走査アドレスの選択間隔が不均等になっている。

【0038】

【表6】

カウント	サブフレーム (MPX)	走査アドレス
1	1 (M1)	B1
2	2 (M2)	B173
3	3 (M3)	B116
4	1 (M1)	B2
5	2 (M2)	B174
6	3 (M3)	B117
7	1 (M1)	B3
8	2 (M2)	B175
9	3 (M3)	B118
10	1 (M1)	B4
{	{	}
85	1 (M1)	B29
86	2 (M2)	B1
87	3 (M3)	B144
88	1 (M1)	B30
89	2 (M2)	B2
90	3 (M3)	B145
91	1 (M1)	B31
{	{	}
257	2 (M2)	B58
258	3 (M3)	B1
259	1 (M1)	B87
260	2 (M2)	B59
261	3 (M3)	B2
262	1 (M1)	B88
{	{	}
595	1 (M1)	B199
596	2 (M2)	B171
597	3 (M3)	B114
598	1 (M1)	B200
599	2 (M2)	B172
600	3 (M3)	B115

1 フレーム

【0039】

【表7】

カウント	走査アドレス			
	MPX	M1	M2	M3
1		B1		
2			B173	
3				B116
4		B2		
5			B174	
6				B117
7		B3		
8			B175	
9				B118
10		B4		
{			}	
85		B29		
86			B1	
87				B144
88		B30		
89			B2	
90				B145
91		B31		
{			}	
257			B58	
258				B1
259		B87		
260			B59	
261				B2
262		B88		
{			}	
595		B199		
596			B171	
597				B114
598		B200		
599			B172	
600				B115

1 フレーム

【0040】また、温度データの内容に変更がない場合は、 H_{sync} の周期は一定でそれに伴い情報信号波形印加の間隔も一定となる。

【0041】一方、温度データの内容に変更がある場合はそれに応じて H_{sync} の周期が変化するので情報信号波形の印加間隔が一定ではなくなる。しかし温度変化が急激でなければ H_{sync} 周期の変化は1フレーム内で10%以下なので、情報信号波形の印加間隔はほぼ一定であると言える。

【0042】図8に本実施例で用いた駆動波形を示す。本実施例では走査アドレスの選択間隔が1:2:4になるように設定したが、各サブフレームの走査開始アドレスを変えることで選択間隔比、即ち各サブフレームの表示期間の比は任意に設定できる。例えば各サブフレームの開始アドレスをB1、B183、B129とすることでほぼ1:3:7になる。

【0043】尚、本実施例の各画素にカラーフィルターを配し、マルチカラー表示装置とすることができる。ま

た、フレーム変調以外の階調方式、例えば画素分割方式と組み合わせることによりさらに表示階調数を増やすことも可能である。

【0044】（実施例2）図9は実施例1と同じ装置で走査方式を変えた場合のタイミングチャートであり、走査アドレス及びMPXが表8の順序で変わってゆく。MPXの内容を H_{sync} 毎にM1、M2、M3、M1、M2、M3と周期的に変え、各サブフレーム内ではインターレースで走査する。そして各サブフレームの表示期間の比がほぼ1:2:4になるように各サブフレームの走査開始アドレスをB1、B146、B32とする。サブフレーム内でインターレース走査すると特にフレーム周波数が40~20ヘルツと低い場合に画面のちらつき（フリッカ）を抑えることができる。

【0045】この時の走査アドレスと表示タイミングの関係を図10に示す。同図において第1フィールドは奇数番目の走査アドレスを、第2フィールドは偶数番目の走査アドレスを選択している。

【0046】本実施例に用いた光学変調素子である強誘電性液晶は、応答スピードに温度特性があり、低温では応答が遅くなるので、温度によって各サブフレーム内の走査順をノーインターレースからインターレースへ切り換えると良い。

【0047】尚本実施例では、各サブフレームでの走査＊

＊をインターレースにする方法を説明したが、2本以上の飛び越えインターレース（マルチインターレース）や走査順をランダムにすることも同様の方法で可能である。

【0048】

【表 8】

カウント	走査アドレス			
	MPX	M1	M2	M3
1		B1		
2			B146	
3				B32
4		B3		
5			B148	
6				B34
7		B5		
8			B150	
9				B36
10		B7		
{			}	
85		B57		
86			B1	
87				B88
88		B59		
89			B3	
90				B90
91		B61		
{			}	
257			B115	
258				B1
259		B173		
260			B117	
261				B3
262		B175		
{			}	
595		B198		
596			B142	
597				B28
598		B200		
599			B144	
600				B30

1 フレーム

【0049】（実施例3）図11に本発明第3の実施例を示す。本実施例は表示部101が有効表示部101aと枠部101bからなる。

【0050】図12に示すように、走査電極群121の両端に枠走査電極群121w、情報電極群122の両端に枠情報電極群122wを設けて貼り合わせると図11の表示部101となり、枠部101bができる。枠部101bを設けることにより次の効果が得られる。

【0051】表示素子は機能性、安全性及び美観を保つため、並びに素子電気系統を保護するため、シャーシや化粧箱の中に納められるが、そのシャーシや化粧箱等の厚みによって表示面が斜め方向から見た時に隠されてし

まう場合がある。そのような場合を避けるため、表示部の周囲に枠部（非表示部）を設け、有効表示エリアが、ある範囲以外の角度から見ない限り隠されないようにするなどの工夫がなされている。

【0052】しかしこのようにすると、上記の枠部がFLCのようなメモリ性を持つ媒体の場合、閾値以上の電気信号が印加されるまでFLCは任意の状態にあるため、枠部が不制御になり、表示が不均一となって実用上見苦しく美観を損なう。よって、この枠部をある電気信号によって均一な状態にならしめる必要がある。但し、ここでいうメモリ性は、表示素子として画質や表示機能が満たされるものであれば良く、永久的なものではな

い。従って周期的に駆動信号を印加する必要がある。

【0053】そこで、表示部周囲に枠部駆動電極を設け、該電極に電気信号を印加して枠部の液晶を駆動することにより均一な枠部を実現する。

【0054】尚、図11において表示部101を除く構成は第1の実施例と同じである。

【0055】図13は3つのサブフレームを用いて8階調表示する際のタイミングチャートである。同図においてWは枠走査電極又は枠走査アドレスであり、その他は第1の実施例と同じである。

【0056】先ずフレーム開始信号FCが発生し、メモリM1～M3のデータが書き換えられる。そして走査クロック信号H_{sync}に同期してマルチプレクサの選択内容MPXと走査アドレスが表9の順序で変わってゆく。MPXの内容をH_{sync}毎にM1、M2、M3、M1、M

10

* 2、M3…と周期的に変え、各サブフレーム内ではインターレースで走査する。例えば第1サブフレームではB1、B3、B5…B199、B2、B4…B200という順序に選択する。そしてカウントが200、400、600になったらカウントをとめ、枠走査アドレスを選択する。フレーム周波数が20～40Hzの時、枠走査の周波数は60～120Hzになるので枠走査によるフリッカは生じない。本実施例では200カウント毎に枠走査したが、必ずしも200カウントでなくても良い。また、カウント単位で枠走査を入れる必要はなく、10msecしたら枠走査するというように、時間単位で枠走査をしても良い。

【0057】

【表9】

カウント	走査アドレス			
	MPX	M1	M2	M3
1		B1		
2			B146	
3				B32
4		B3		
5			B148	
6				B34
7		B5		
8			B150	
9				B36
10		B7		
{			{	
85		B57		
86			B1	
87				B68
88		B59		
89			B3	
90				B90
91		B61		
{			{	
200			B77	
				W (枠走査)
201				B164
{			{	
257			B115	
258				B1
259		B173		
260			B117	
261				B3
262		B175		
{			{	
400		B68		
				W (枠走査)
401			B12	
{			{	
595		B198		
596			B142	
597				B28
598		B200		
599			B144	
600				B30
				W (枠走査)

1フレーム

【0058】図14は走査アドレスと表示タイミングの関係を簡単に示した図である。図10と比べるとカウント200、400、600の直後に枠走査をしているの

【0059】図15に本実施例に用いた駆動波形を示す。図16は別の枠駆動波形を用いた時のタイミングチャートである。この時の駆動波形を図17に示す。

【0060】（実施例4）実施例1の表示装置で4階調

表示する場合について説明する。この場合フレームメモリはM1、M2の2つで、2つのサブフレームで1フレーム（400カウント）を構成する。MPX及び走査アドレスの選択順序を表10の通りにすると各サブフレームでの表示期間の比が1：2、表11の通りにすると *

* 1：3となる。図18は走査アドレスと表示タイミングの関係を示した図であり、（a）は表10の選択順序、（b）は表11の選択順序にした場合である。

【0061】

【表10】

カウント	走査アドレス		
	MPX	M1	M2
1	M1	B1	
2	M2		B135
3	M1	B2	
4	M2		B136
5	M1	B3	
6	M2		B137
7	M1	B4	
8	M2		B138
9	M1	B5	
10	M2		B139
{			}
133	M1	B67	
134	M2		B1
135	M1	B68	
136	M2		B2
137	M1	B69	
138	M2		B3
139	M1	B70	
{			}
264	M2		B66
265	M1	B133	
266	M2		B67
267	M1	B134	
268	M2		B68
269	M1	B135	
{			}
395	M1	B198	
396	M2		B132
397	M1	B199	
398	M2		B133
399	M1	B200	
400	M2		B134

1フレーム

【0062】

【表11】

カウント	走査アドレス		
	MPX	M1	M2
1	M1	B1	
2	M1	B2	
3	M1	B3	
4	M1	B4	
5	M1	B5	
6	M1	B6	
7	M1	B7	
{			}
98	M1	B98	
199	M1	B99	
100	M1	B100	
101	M2		B1
102	M2		B2
103	M2		B3
{			}
198	M2		B98
199	M2		B99
200	M2		B100
201	M1	B101	
202	M1	B102	
203	M1	B103	
{			}
298	M1	B198	
299	M1	B199	
300	M1	B200	
301	M2		B101
302	M2		B102
303	M2		B103
{			}
398	M2		B198
2399	M2		B199
400	M2		B200

1 フレーム

【 0 0 6 3 】

【発明の効果】以上説明したように、本発明の表示装置は、最明表示時の平均輝度が二値表示並みに向上し、同時に短時間で階調表示を行い、より優れた画像表示を行なうことができる。

【図面の簡単な説明】

【図 1】本発明第 1 の実施例のブロック図である。

【図 2】本発明第 1 の実施例の表示部拡大図である。

【図 3】図 2 に示した表示部の断面図である。

【図 4】本発明で用いる液晶素子を模式的に示す斜視図である。

【図 5】本発明で用いる液晶素子を模式的に示す斜視図である。

【図 6】本発明第 1 の実施例の駆動タイミングチャートである。

【図 7】本発明第 1 の実施例の走査アドレスと表示タイミングの関係を簡単に示した図である。

【図 8】本発明第 1 の実施例で用いた駆動波形である。

【図 9】本発明第 2 の実施例の駆動タイミングチャートである。

【図 1 0】本発明第 2 の実施例の走査アドレスと表示タイミングの関係を簡単に示した図である。

【図 1 1】本発明第 3 の実施例のブロック図である。

【図 1 2】本発明第 3 の実施例の表示部を示す図である。

【図 1 3】本発明第 3 の実施例の駆動タイミングチャートである。

【図 1 4】本発明第 3 の実施例の走査アドレスと表示タイミングの関係を簡単に示した図である。

【図 1 5】本発明第 3 の実施例で用いた駆動波形である。

【図 1 6】実施例 3 で用いた他の駆動波形である。

【図 1 7】実施例 3 で用いた他の駆動波形である。

【図 1 8】本発明第 4 の実施例の駆動タイミングチャー

トである。

【図 19】本発明第 4 の実施例の他の駆動タイミングチャートである。

【図 20】本発明の駆動回路制御図である。

【図 21】本発明に係る 1 フレームにおける各画素の階調データを示す図である。

【図 22】本発明に係るメモリ M1 ～ M3 の概念図であ *

＊る。

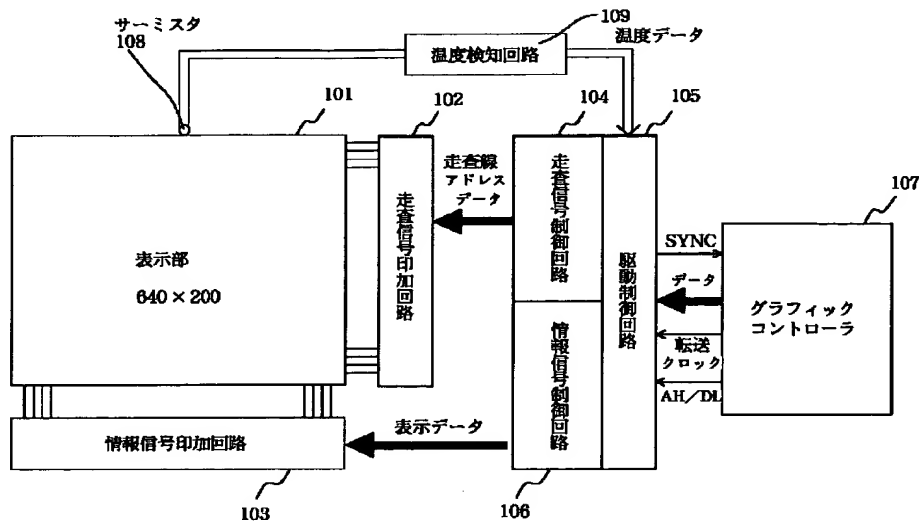
【図 23】図 20 の回路の駆動タイミングチャートである。

【図 24】図 21 に示した階調データによる画素の階調表示状態を示す図である。

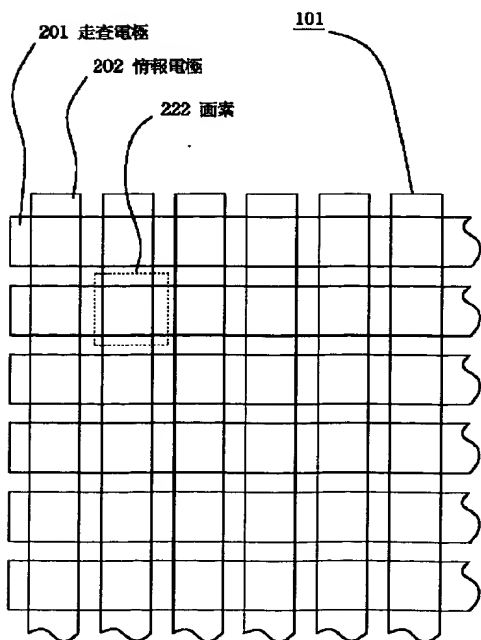
【図 25】図 20 の回路に用いる駆動波形である。

【図 26】本発明と従来例の表示期間を示す図である。

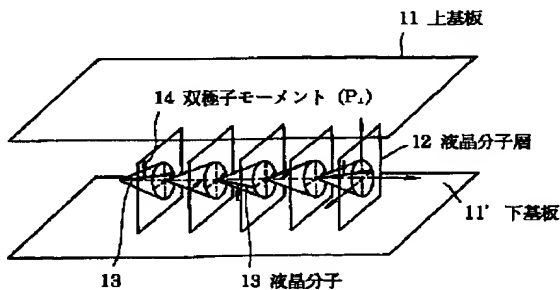
【図 1】



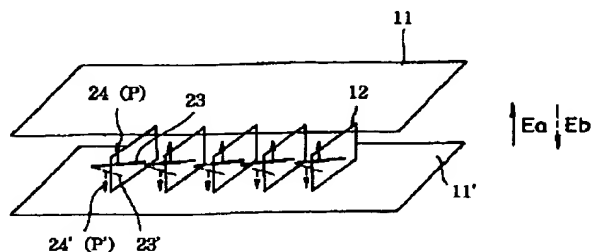
【図 2】



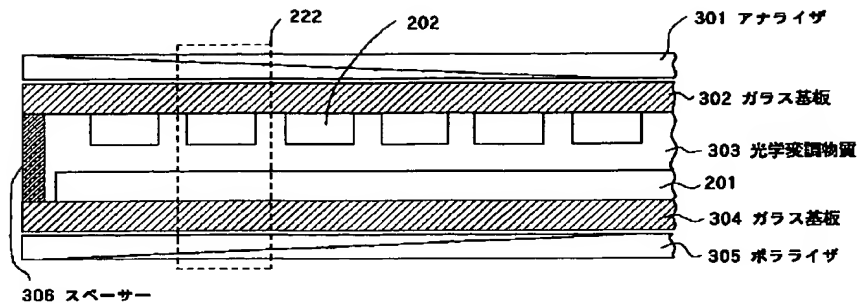
【図 4】



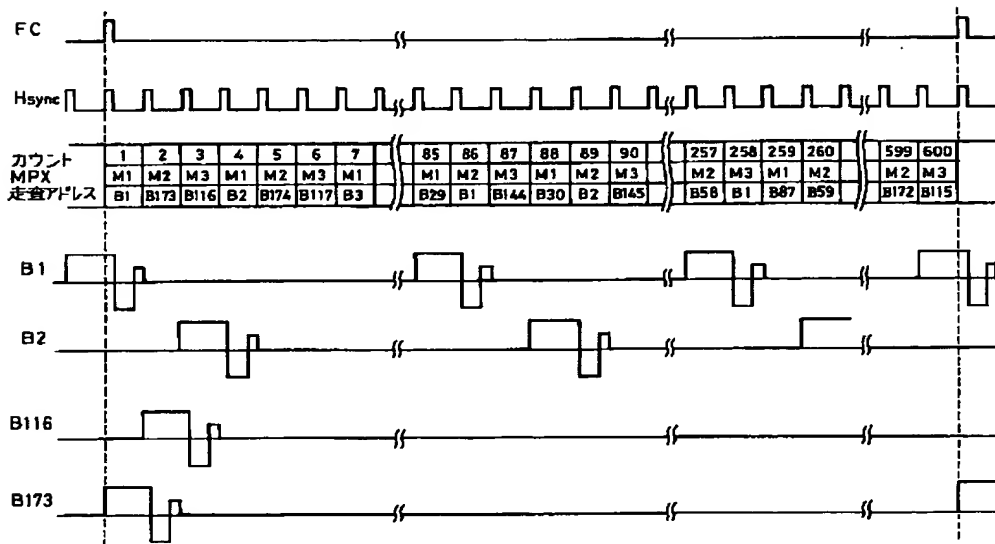
【図 5】



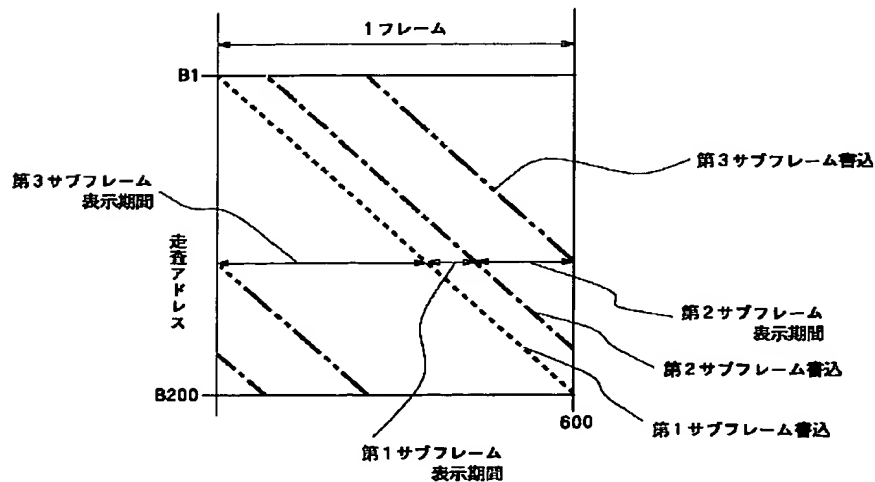
【図 3】



【図 6】



【図 7】



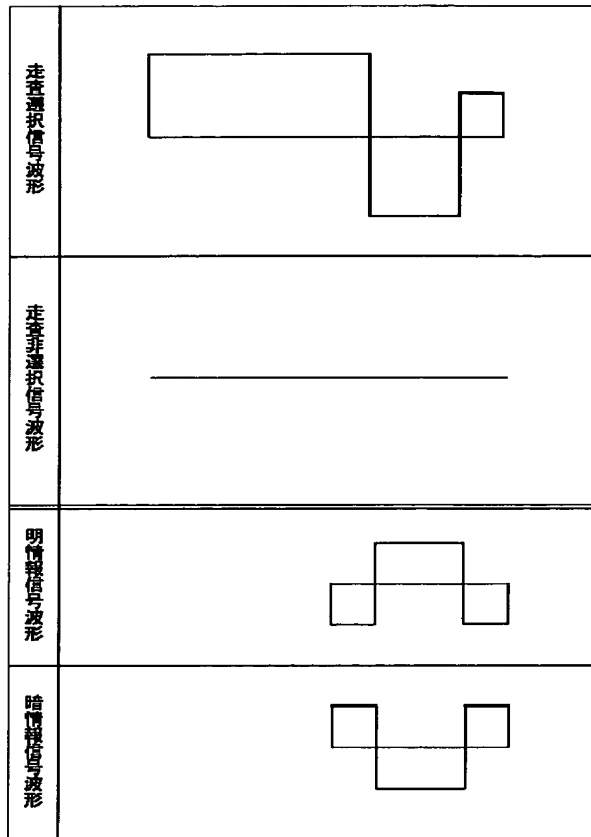
【図 21】

アドレス	データ
A ₁₁	0 1 1
A ₁₂	0 1 0
A ₁₃	0 0 1
A ₁₄	1 0 0
A ₂₁	1 1 0
A ₂₂	0 1 1
A ₂₃	1 0 1
A ₂₄	1 0 1
A ₃₁	0 1 1
A ₃₂	0 1 1
A ₃₃	1 0 0
A ₃₄	0 0 1
A ₄₁	0 0 0
A ₄₂	1 1 1
A ₄₃	0 1 1
A ₄₄	1 1 0

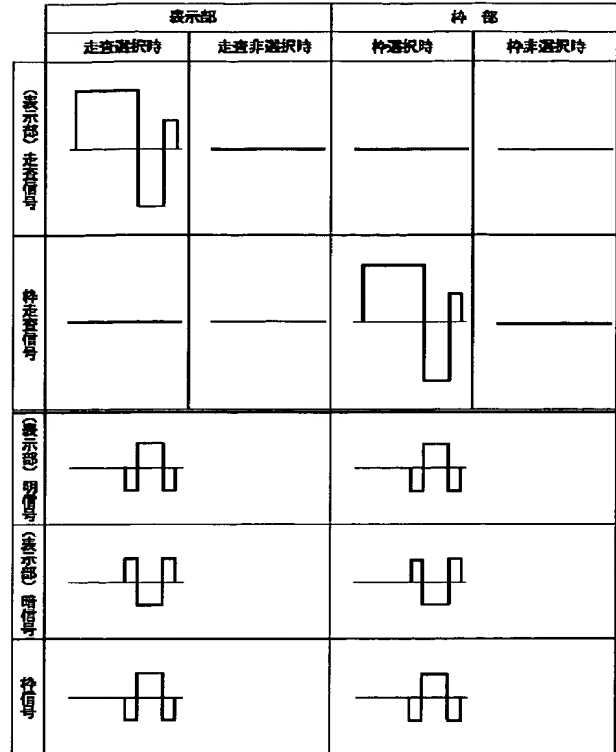
【図 24】

3/9	3/9	1/9	5/9
8/9	4/9	6/9	6/9
4/9	4/9	5/9	1/9
0/9	9/9	4/9	8/9

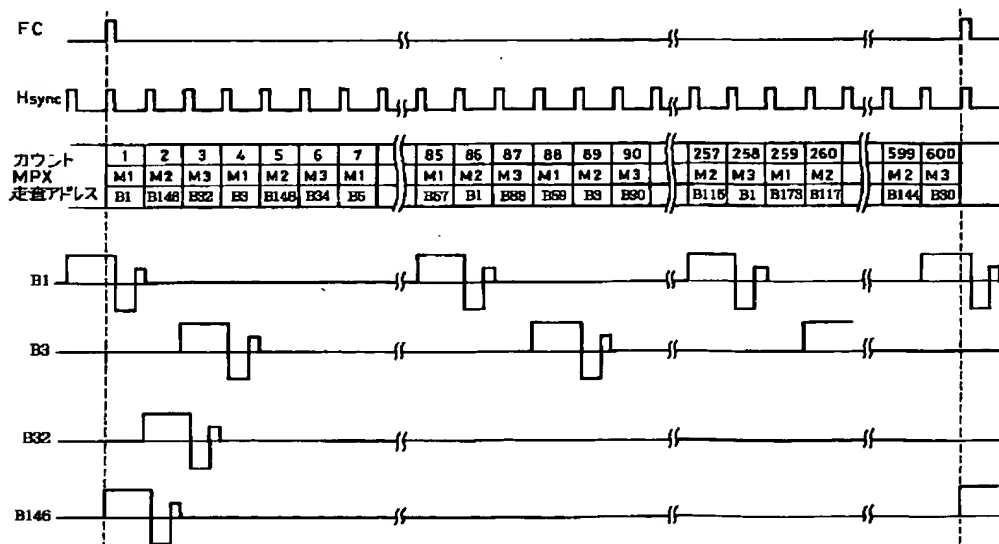
【図 8】



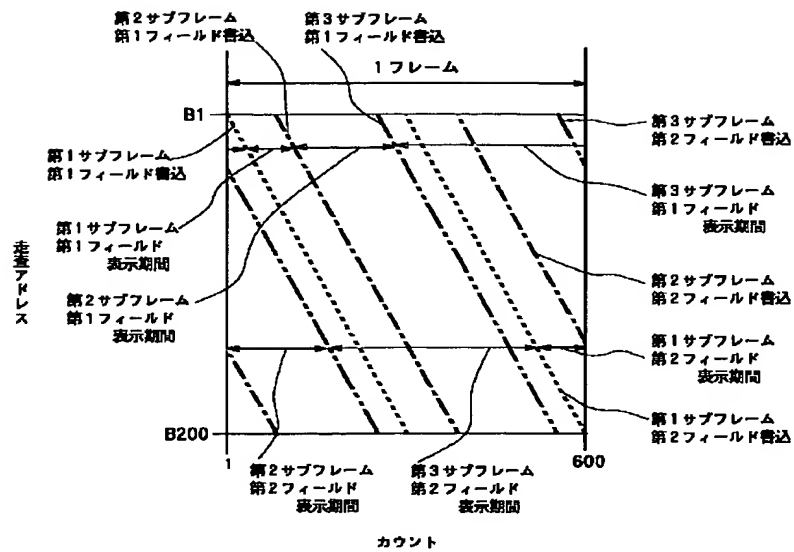
【図 15】



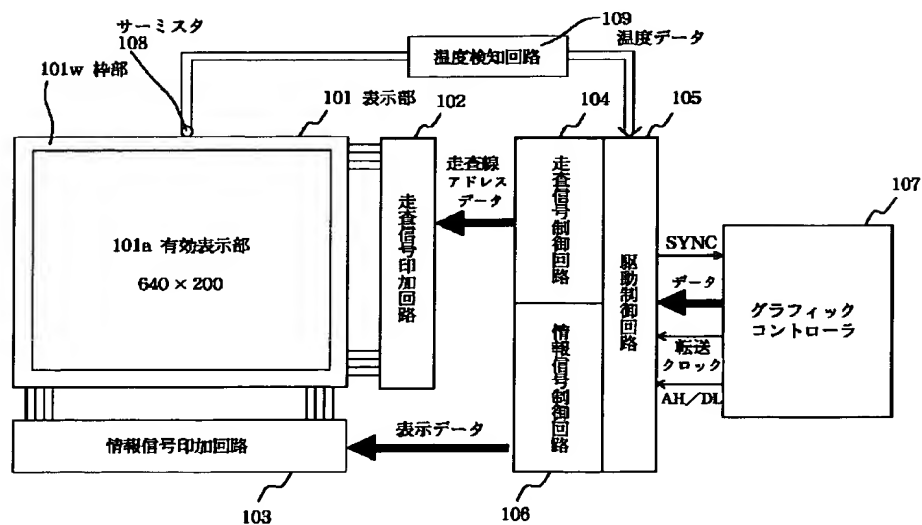
【図 9】



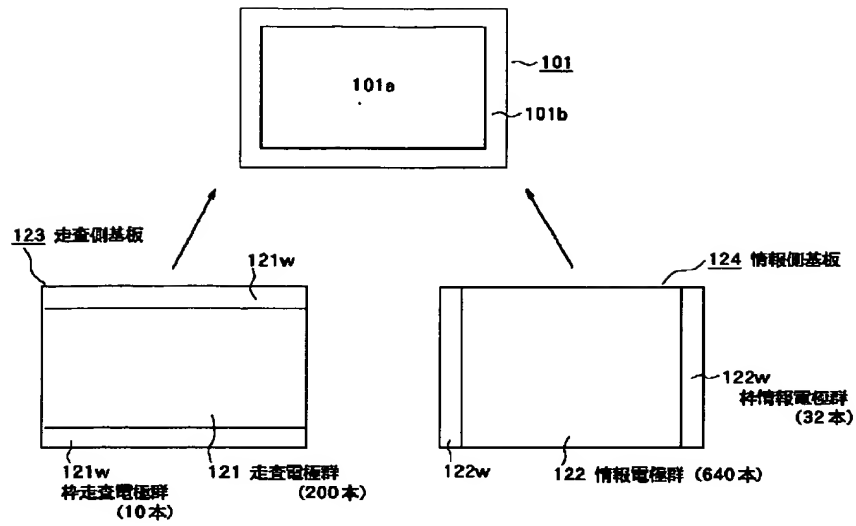
【図 10】



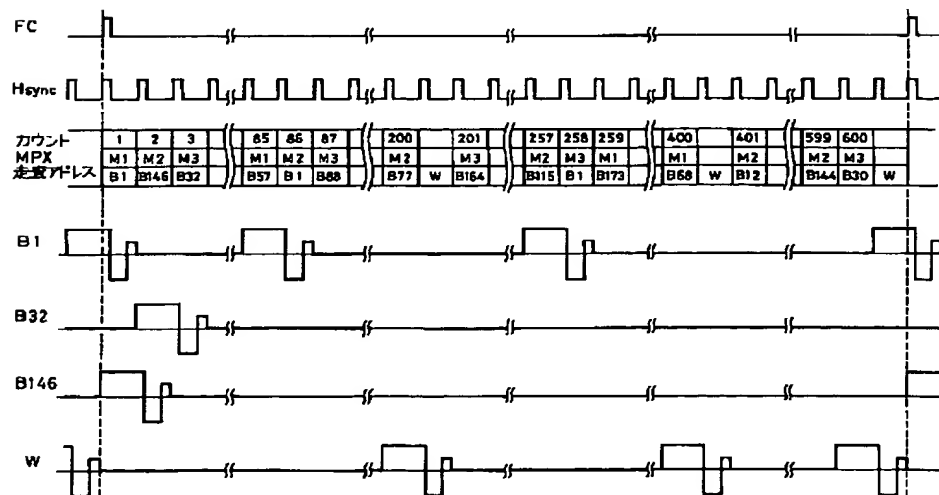
【図 11】



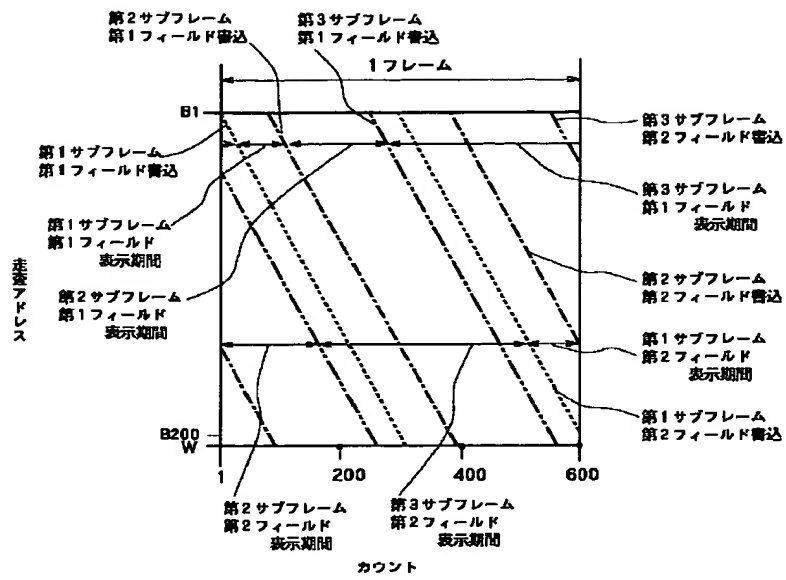
【図12】



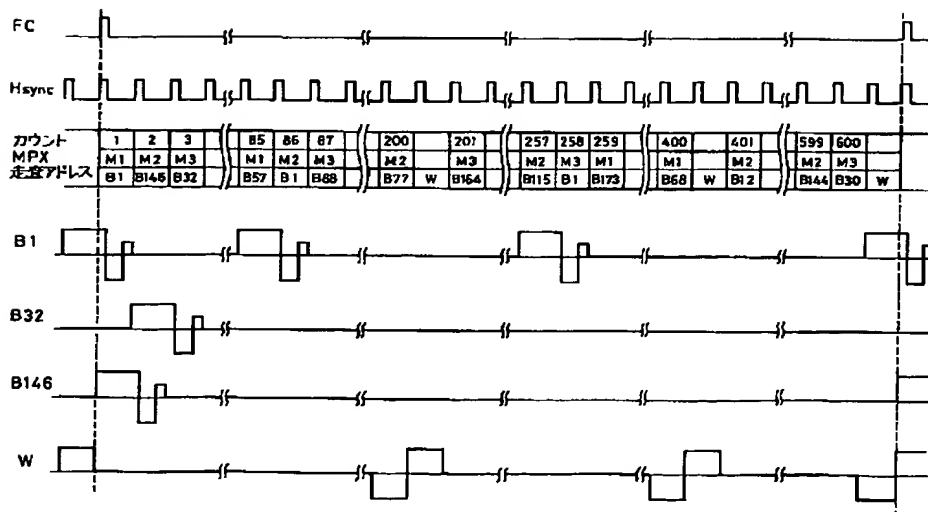
【図13】



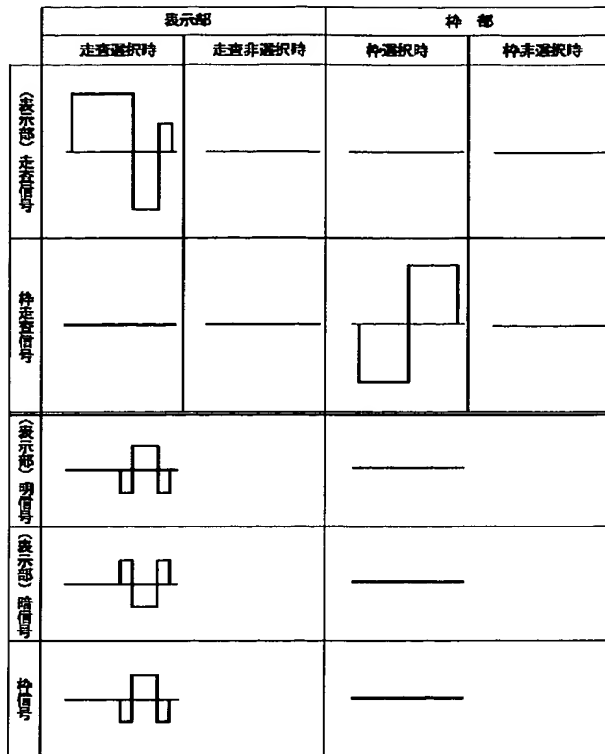
【図 14】



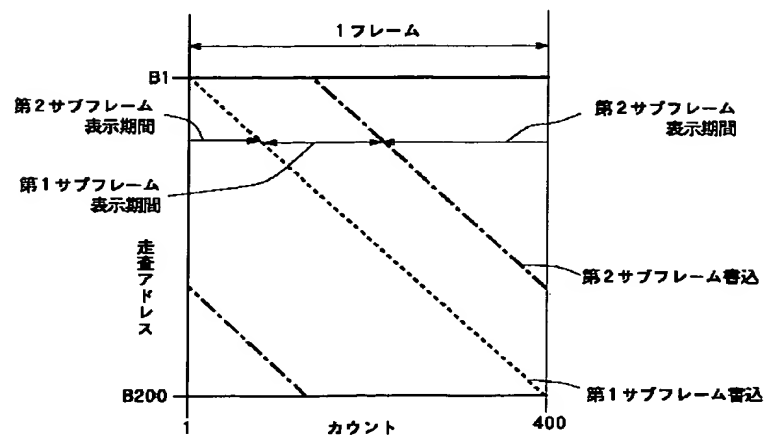
【図 16】



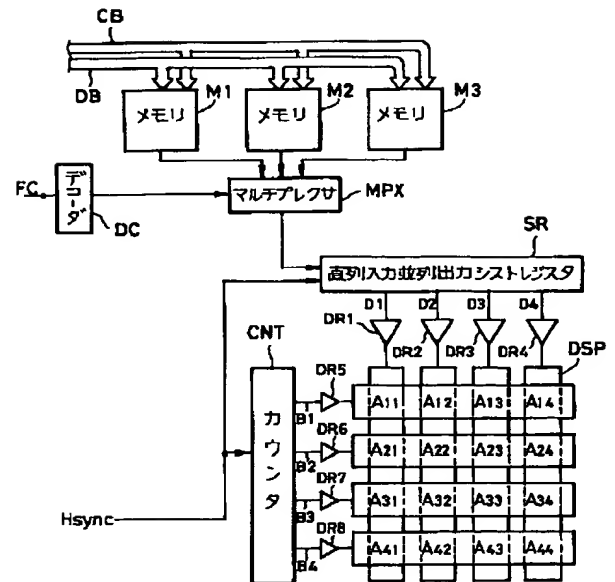
【図 17】



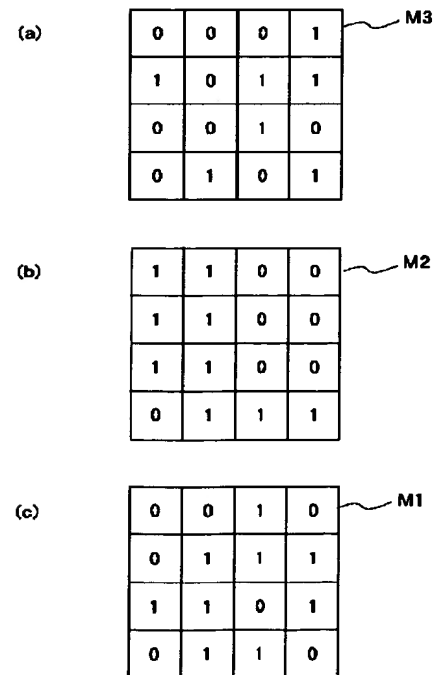
【図 18】



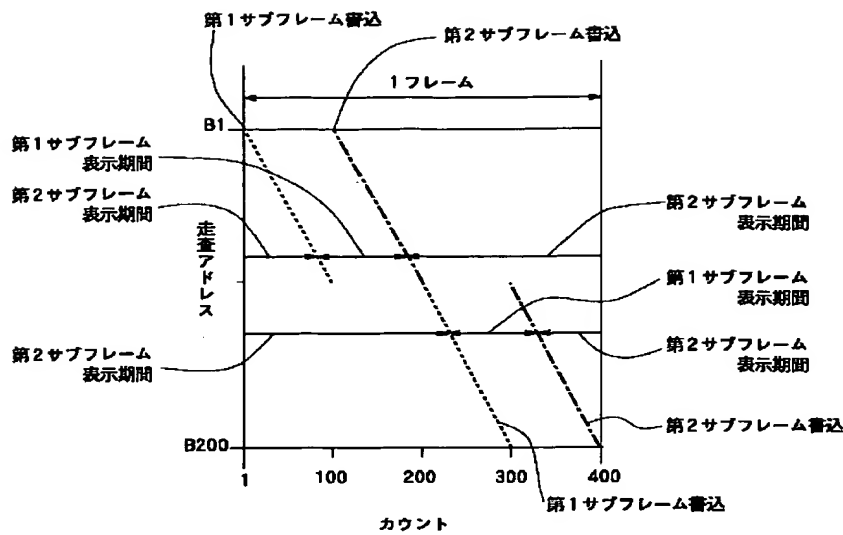
【図 20】



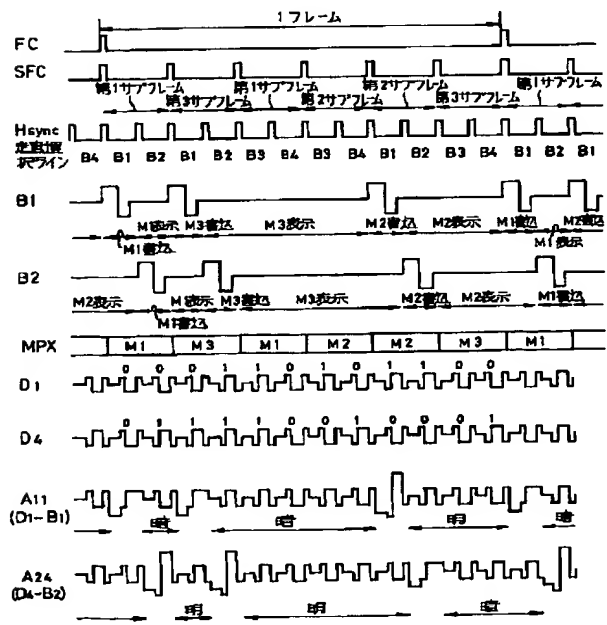
【図 22】



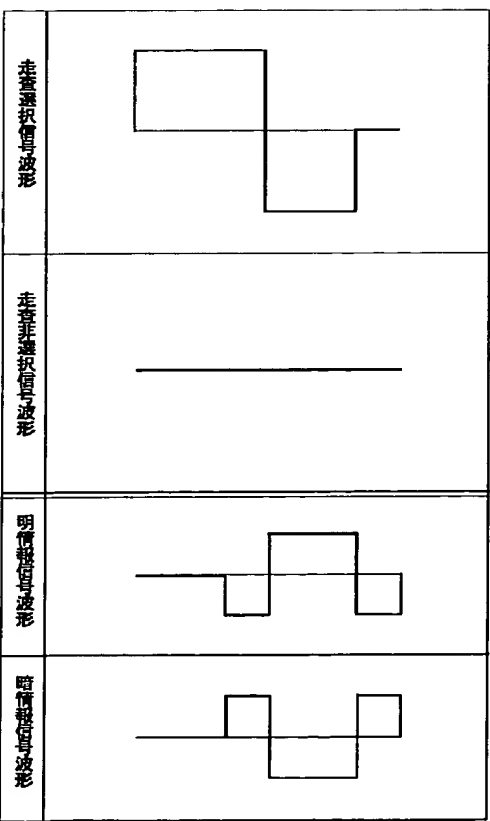
【図 1 9】



【図 2 3】



【図 2 5】



【図 26】

